

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-257982

(43)Date of publication of application : 18.11.1991

(51)Int.Cl.

H01L 27/088

H01L 21/336

H01L 29/784

(21)Application number : 02-056904

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.03.1990

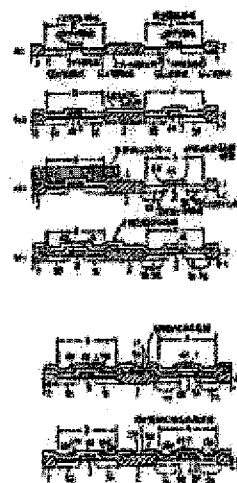
(72)Inventor : IKEMASU SHINICHIROU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To improve wiring patterning accuracy, and prevent a wiring from being broken and short-circuited by flattening a surface without deteriorating memory cell performance by halving a formation process of an LDC structure and an insulating film side wall by an RIE processing of an insulator film for surface flattening.

**CONSTITUTION:** A conductor layer formed on a semiconductor substrate 1 is patterned into gate electrode configurations 4A, 4B, on which a first insulating film 6 is formed. The first insulating film 6 is anisotropically etched only in a first region A, part thereof, and on its side surface a first side wall 6W comprising the first insulating film 6 is formed. Then, a second insulating film 9 is formed on the semiconductor substrate 1. The second insulating film 9 is anisotropically etched only in a second region B comprising the whole thereof excepting the first region A or part thereof, and on a stepped part of the second region a second side wall 9W comprising the second insulating film 9 is formed. With this method, upon formation of an LDD structure and upon surface flattening a semiconductor substrate surface in a memory cell region is prevented from being directly exposed to an RIE processing.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-257962

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月18日

H 01 L 27/088  
21/336  
29/784

7735-5F H 01 L 27/08 1 0 2 A  
8422-5F 29/78 3 0 1 L

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-56904

⑰ 出 願 平2(1990)3月8日

⑱ 発 明 者 池 増 慎 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 複数のMOSFETからなる半導体装置の製造方法であって、

半導体基板(1)上に形成した導電層をゲート電極形状(4A)(4B)にパターンニングする工程、

該導電層パターンを有する半導体基板(1)上に第1の絶縁膜(6)を形成する工程、

該第1の絶縁膜(6)を一部の第1の領域(A)のみ異方性エッチングを行い、該第1の領域(A)上の該導電層パターン(4A)の側面に該第1の絶縁膜(6)からなる第1の側壁(6W)を形成する工程、

該第1の側壁(6W)の形成を終わった半導体基板(1)上に第2の絶縁膜(9)を形成する工程、

該第2の絶縁膜(9)を、該第1の領域(A)以外の全て、または一部からなる第2の領域(B)のみ異方性エッチングを行い、該第2の領域の段差部

に該第2の絶縁膜(9)からなる第2の側壁(9W)を形成する工程を含むことを特徴とする半導体装置の製造方法。

(2) 請求項(1)記載の工程を含み、更に、該第2の側壁(9W)の形成を終わった半導体基板(1)上に第3の絶縁膜(13)を形成する工程、

該第3の絶縁膜(13)の全領域を異方性エッチングして全領域の段差部に該第3の絶縁膜(13)からなる第3の側壁(13W)を形成する工程を含むことを特徴とする半導体装置の製造方法。

(3) 該第1の領域(A)が周辺回路部からなり、該第2の領域(B)がメモリアル部からなることを特徴とする請求項(1)及び(2)記載の半導体装置の製造方法。

3. 発明の詳細な説明

(目 次)

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

第1の実施例の工程断面図(第1図)

第2の実施例の工程断面図(第2図)

発明の効果

#### 〔概要〕

半導体装置の製造方法、特にLDD構造のMOSFETにより構成される周辺回路素子とDRAM等のメモリセルとが併設される半導体装置の製造方法に関し、

メモリセル領域Bの高さを周辺回路領域Aより高くすることなく、周辺回路領域AでのLDD形成用の側壁及びメモリセル領域Bでの平坦化のための側壁を、メモリセル領域Bにおいては選択的にSi基板面を直に荷電粒子を含むプラズマに曝すことなく形成し、素子性能の劣化及び配線の断線、短絡及びパターニング精度の低下を防止すること

を目的とし、

複数のMOSFETからなる半導体装置の製造方法であって、半導体基板上に形成した導電層をゲート電極形状にパターニングする工程、該導電層パターンを有する半導体基板上に第1の絶縁膜を形成する工程、該第1の絶縁膜を一部の第1の領域のみ異方性エッチングを行い、該第1の領域上の該導電層パターンの側面に該第1の絶縁膜からなる第1の側壁を形成する工程、該第1の側壁の形成を終わった半導体基板上に第2の絶縁膜を形成する工程、該第2の絶縁膜を、該第1の領域以外の全て、または一部からなる第2の領域のみ異方性エッチングを行い、該第2の領域の段差部に該第2の絶縁膜からなる第2の側壁を形成する工程を含む構成を有する。

#### 〔産業上の利用分野〕

本発明は半導体装置の製造方法、特にLDD構造のMOSFETにより構成される周辺回路素子とDRAM等のメモリセルとが併設される半導体

装置の製造方法に関する。

MOSICにおいては、高集積化によってMOSFETはショートチャネル化されてきており、ショートチャネル効果やホットエレクトロン効果による素子特性の劣化を防止するために、ソース及びドレイン領域とゲート下部領域間に低不純物濃度のオフセット領域を設けたLDD構造を有するMOSFETが多く用いられる。

このLDD構造においては、製造に際しての基板ダメージによって生ずる微小リークにより、特にDRAM等においてはデータの反転等の素子性能の劣化が顕在化しており、製造方法の改善が望まれている。

#### 〔従来の技術〕

LDD構造のMOSFETにより構成される周辺回路素子とDRAM等のメモリセルを含んだ半導体装置(半導体記憶装置)は従来、第3図(a)~(c)の工程断面図に示す第1の方法により主として形成されていた。

#### 第3図(a)参照

即ち、例えばp型のシリコン(Si)基板51上に、選択的に形成されたフィールド酸化膜52によって分離画定された周辺回路領域A及びメモリセル領域B上にゲート酸化膜53が形成され、各々の領域のゲート酸化膜53上にポリSi等の導電層からなるゲート電極54A及び54Bが形成され、これらゲート電極54A及び54Bをマスクにして不純物がイオン注入されて各々の領域に低濃度のn<sup>+</sup>型領域55A、55B及び55C、55Dが形成されてなる被加工基板上に、第1の絶縁膜56を気相成長する。

#### 第3図(b)参照

次いで、上記第1の絶縁膜56を異方性のドライエッチング手段により全面エッチングして、周辺回路領域A及びメモリセル領域B上のゲート電極54A及び54Bの側面に第1の絶縁膜56からなる側壁(サイドウォール)56Wを形成し、次いで側壁56Wを有するゲート電極54A及び54Bをマスクにして高ドーパ量で不純物をイオン注入し、周辺回路領域A及びメモリセル領域Bに高不純物濃度の

$n^+$ 型のソース領域57S<sub>1</sub>とドレイン領域57D<sub>1</sub>及び57S<sub>2</sub>と57D<sub>2</sub>を形成する。

#### 第3図(c)参照

次いで、上記基板上に前記ゲート電極形成54A、54B等と上層の図示しない配線層との間を分離する層間絶縁膜58を成長する方法であった。

なお、前記絶縁膜の側壁56Wは前記のようにLDD構造を形成する際のマスクに用いられるのみでなく、垂直な段差部を無くし表面を平坦化して、上部に導電層を被着しこれをパターニングして配線を形成する際に、段差部に導電層の残渣が残って配線間を短絡させたり、段差部のカバレッジ不良により配線の断線が発生するのを防止する効果も備えている。

しかし上記従来の第1の方法においては、第3図(c)に示す側壁56W形成のためのエッチング時に、Si基板51面が、直接エッチングガスイオン等の荷電粒子に叩かれて、汚染等のダメージ(D<sub>1</sub>)を受ける。

また、高濃度のイオン注入も、結晶欠陥(D<sub>2</sub>)の

原因になるといわれ、これらダメージ(D<sub>1</sub>)や結晶欠陥(D<sub>2</sub>)によって拡散層の接合に微小のリーク電流を生じ、特にDRAMセルにおいては情報が反転するという大きな問題を生じていた。

そこで従来、DRAM等のメモリセル領域では、Si基板面を直接エッチングガスのプラズマに曝すことなく平坦化のための絶縁膜の側壁を形成し、且つ高ドーズ量のイオン注入も行わない第4図(a)～(d)に示す第2の方法が提案されている。

#### 第4図(a)参照

即ち、前記第1の方法において第3図(a)に示されたように、ゲート電極54A、54Bが形成され、これらゲート電極をマスクにして周辺回路領域A及びメモリセル領域Bに不純物の低ドーズ量イオン注入により低不純物濃度の $n^+$ 型領域55A、55B及び55C、55Dが形成され、更に上面に第1の絶縁膜56が形成されてなる被加工基板の、メモリセル領域B上を選択的にレジストパターン60で覆い異方性ドライエッチングを行って、周辺回路領域A上のゲート電極54Aの側面に第1の絶縁膜56

を形成する。

#### 第4図(b)参照

次いで、上記平坦化された基板上に、前記ゲート電極54A、54B等と上層の図示しない配線層との間を分離する層間絶縁膜58を成長する方法である。

(発明が解決しようとする課題)

しかしながら上記従来の第2の方法においては、工程説明からも明らかなように、メモリセル領域Bの上面が、周辺回路領域Aの上面よりも第1の絶縁膜56の1層分だけ高くなってしまふ。そしてこれによって、メモリセル領域Bに形成するコンタクトホールが深くなって、配線のカバレッジ性低下による断線を誘発し、またメモリセル領域Bと周辺回路領域Aとの高低差を大きくして、上部に形成される配線のパターニング精度の低下、配線パターニング時に両領域の高低段差部に残留する導電層残渣による配線間ショート不良が発生する等の問題を生じていた。

からなる第1の側壁56Wを形成する。この際、レジストパターン60に覆われたメモリセル領域B上には、第1の絶縁膜56がそのまま残留する。

#### 第4図(c)参照

レジストパターン60を除去した後、上記被加工基板の全面上に第2の絶縁膜59を成長する。

#### 第4図(d)参照

次いで全面の第2の絶縁膜59を異方性ドライエッチング手段によりエッチングする。ここでメモリセル領域Bの第1の絶縁膜56の段差部には第2の絶縁膜59からなる第2の側壁59Wが形成され、周辺回路領域Aにはゲート電極54Aの側面の第1の側壁56Wの側面に、再度第2の絶縁膜59からなる第2の側壁59Wが形成される。この側壁によりメモリセル領域Bも平坦化が図られる。

#### 第4図(e)参照

次いで第1の側壁56W及び第2の側壁59Wを有するゲート電極54Aをマスクにして高ドーズ量のイオン注入を行い、周辺回路領域AにLDD素子の $n^+$ 型のソース及びドレイン領域57S及び57D

そこで本発明は、ダメージに敏感なDRAM等のメモリセルとLDD構造のMOSFETからなりダメージに比較的強い周辺回路素子とが同一半導体基板上に併設される半導体装置を製造するに際し、メモリセル領域Bの高さを周辺回路領域Aより高くすることなく、周辺回路領域AでのLDD形成用の側壁及びメモリセル領域Bでの平坦化のための側壁を、メモリセル領域Bにおいては選択的にSi基板面を直に荷電粒子を含むプラズマに曝すことなく形成し、素子性能の劣化及び配線のパターンニング精度の低下、断線、短絡等を防止することを目的とする。

#### 〔課題を解決するための手段〕

上記課題は、複数のMOSFETからなる半導体装置の製造方法であって、半導体基板(1)上に形成した導電層をゲート電極形状(4A)(4B)にパターンニングする工程、該導電層パターンを有する半導体基板(1)上に第1の絶縁膜(6)を形成する工程、該第1の絶縁膜(6)を一部の第1の領域(

A)のみ異方性エッチングを行い、該第1の領域(A)上の該導電層パターン(4A)の側面に該第1の絶縁膜(6)からなる第1の側壁(6W)を形成する工程、該第1の側壁(6W)の形成を終わった半導体基板(1)上に第2の絶縁膜(9)を形成する工程、該第2の絶縁膜(9)を、該第1の領域(A)以外の全て、または一部からなる第2の領域(B)のみ異方性エッチングを行い、該第2の領域の段差部に該第2の絶縁膜(9)からなる第2の側壁(9W)を形成する工程を含む本発明による半導体装置の製造方法、及び、前記工程を含み、更に、該第2の側壁(9W)の形成を終わった半導体基板(1)上に第3の絶縁膜(13)を形成する工程、該第3の絶縁膜(13)の全領域を異方性エッチングして全領域の段差部に該第3の絶縁膜(13)からなる第3の側壁(13W)を形成する工程を含む本発明による半導体装置の製造方法によって解決される。

#### 〔作用〕

即ち本発明の方法においては、LDD構造及び

表面平坦化のための絶縁膜のRIE処理による絶縁膜側壁の形成工程を2工程に分け、周辺回路領域のMOSFETをLDD構造にし且つ表面を平坦化するための第1の絶縁膜による第1の側壁形成の際の第1のRIE処理に際しては、ダメージに弱いDRAM等のメモリセル領域上には第1の絶縁膜をそのまま残すようにする。これにより上記第1のRIE処理に際して、ダメージに比較的強い周辺回路素子の半導体基板面のみがRIE処理に曝されてダメージを受けることになり、RIE処理に曝されないメモリセル領域の基板面にはダメージを生じない。これと共にメモリセル領域には高濃度の不純物イオン注入を行わず、これによる欠陥の発生も回避する。以上により、メモリセルのダメージや欠陥によるデータ反転等の性能劣化が防止される。

またメモリセル領域の平坦化は、この領域を覆っている前記第1の絶縁膜の段差部に、第2のRIE処理により第2の絶縁膜からなる第2の側壁を形成することによってなされ、その際前記周辺

回路領域上には上記第2の絶縁膜をそのまま残すようにして、メモリセル領域と周辺回路領域上の絶縁膜の厚さをほぼ等しくする。これにより、両領域上に跨る配線のパターンニング精度が向上すると共に、メモリセル領域のコンタクトホールが極度に深くなることがなくなるので、コンタクトホール部でのカバレッジ性不足による配線の断線も防止される。

#### 〔実施例〕

以下本発明をLDD構造のMOSFETからなる周辺回路を含むDRAMを製造する際の実施例について、図を参照し具体的に説明する。

第1図(a)～(c)は本発明の方法の第1の実施例の工程断面図、第2図(a)～(b)は第2の実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

第1図(a)参照

本発明の方法により上記DRAMを形成するに際しては、例えばp型のSi基板1を用い、通常の

選択酸化等の方法により上記p型のSi基板1上に周辺回路領域Aとメモリセル領域Bを画定表出するフィールド酸化膜2を形成し(チャネルカット領域省略)、上記周辺回路領域Aとメモリセル領域B上に熱酸化等によりゲート酸化膜3を形成し、この基板上に厚さ3000Å程度のポリSi層を形成し、例えばn型の不純物を導入して導電性を付与した後、通常のフォトリソグラフィによりパターンニングを行って、上記周辺回路領域A及びメモリセル領域B上にポリSiからなるゲート電極4A及び4Bを形成し、次いでこれらゲート電極4A及び4Bをマスクにしてn型不純物を低濃度にイオン注入し、n<sup>+</sup>型領域5A、5B及び5C、5Dを形成する。以上は従来の第1、第2の方法と同様である。

第1図(b)参照

次いで従来の第1、第2の方法同様に、上記基板上に第1の絶縁膜として厚さ1000Å程度の第1のCVD-SiO<sub>2</sub>膜6を形成する。

第1図(c)参照

次いで従来の第2の方法と同様に、上記基板上

1000Å程度の第2のCVD-SiO<sub>2</sub>膜9を形成する。

第1図(e)参照

次いで、本発明の方法においては、上記第2のCVD-SiO<sub>2</sub>膜9上に周辺回路領域Aの上部を覆う第2のレジストパターン10を形成し、このレジストパターン10をマスクにして表出する第2のCVD-SiO<sub>2</sub>膜9を選択的にRIE処理によりコントロールエッチングして、メモリセル領域A上を覆う前記第1のCVD-SiO<sub>2</sub>膜6の側面、及び上記第1のCVD-SiO<sub>2</sub>膜6上に形成されている段差部に第2のCVD-SiO<sub>2</sub>膜9からなる第2のCVD-SiO<sub>2</sub>膜側壁9Wを形成する。

第1図(f)参照

次いで第2のレジストパターン10を除去する。ここで本発明の方法においては、第1のCVD-SiO<sub>2</sub>膜6と、レジストパターン10によりパターンニングされた第2のCVD-SiO<sub>2</sub>膜9が、ゲート電極4A、4Bとその上層に形成される金属配線間の層間絶縁膜になる。

に、フォトリソプロセスにより、メモリセル領域B上を覆う第1のレジストパターン8を形成した後、このレジストパターン8をマスクにし、異方性のエッチング手段例えば3弗化メタン(CHF<sub>3</sub>)をエッチングガスとするリアクティブイオンエッチング(RIE)処理を行い、周辺回路領域Aのゲート電極4Aの側面に第1のCVD-SiO<sub>2</sub>膜側壁6Wを形成する。なおこの際、メモリセル領域B上にはそこを覆う第1のCVD-SiO<sub>2</sub>膜6が残留する。

次いで、上記レジストパターン8、フィールド酸化膜2及び第1のCVD-SiO<sub>2</sub>膜側壁6Wを有するゲート電極4Aをマスクにして周辺回路領域Aにn型不純物を高濃度にイオン注入し、n<sup>+</sup>型ソース領域7S及びn<sup>+</sup>型ドレイン領域7Dを形成する。なおこのイオン注入は、レジストパターン8を除去した後、その下部の第1のCVD-SiO<sub>2</sub>膜6をマスクに用いて行ってもよい。

第1図(g)参照

次いでレジストパターン8を除去し、この基板の全面上に従来の第2の方法同様に、厚さ例えば

第1図(h)参照

次いで通常のフォトリソグラフィにより、周辺回路領域B上の第2のCVD-SiO<sub>2</sub>膜9及びメモリセル領域B上の第1のCVD-SiO<sub>2</sub>膜6に、n<sup>+</sup>型ドレイン領域7D、n<sup>+</sup>型ソース領域7S、n<sup>+</sup>型領域5C、5Dをそれぞれ表出するコンタクトホール11を形成し、これらコンタクトホール11上に、通常の配線形成手段により、例えば図示のような、第1、第2、第3のアルミニウム(Al)配線12A、12B、12C等を形成し、以後図示しない被覆絶縁膜の形成工程等を経て、本発明の方法によりDRAMが完成する。

また上記第1の実施例の方法において、第2図(f)にSTの符号で示した第2のCVD-SiO<sub>2</sub>膜9の側面の段差部STが問題になる場合には、以下に第2図(a)~(d)の工程断面図に示す第2の実施例の工程を追加すればよい。

第2図(a)参照

即ち、第1図(f)に示す工程が完了した被加工基板の全面上に、例えば厚さ1000Å程度の第3の

CVD-SiO<sub>2</sub>膜13を形成する。

#### 第2図(b)参照

次いで第3のCVD-SiO<sub>2</sub>膜13をRIE処理を用いた全面エッチング手段によりコントロールエッチングして、前記第2のCVD-SiO<sub>2</sub>膜9の側面の段差部STに第3のCVD-SiO<sub>2</sub>膜側壁13Wを形成する。なおこの際、層間絶縁膜となる第1のCVD-SiO<sub>2</sub>膜6及び第2のCVD-SiO<sub>2</sub>膜9の上面に急峻な段差が形成されている場合には、その部分にも第3のCVD-SiO<sub>2</sub>膜側壁13Wが形成され、表面の一層の平坦化が図られる。

上記実施例に示したように本発明の方法によれば、LDD構造のMOSFETを周辺回路素子に用いるDRAMにおいて、LDD構造形成及び表面平坦化に際して、メモリセル領域の半導体基板面が直にRIE処理に曝されることがなくなり、且つメモリセル領域には高不純物濃度のイオン注入がなされないで、メモリセル領域の基板面にダメージや欠陥の形成がなく、データ反転等のメモリ性能の劣化が回避される。またメモリセル領域

上の絶縁膜が周辺回路領域と同様に1層の絶縁膜によりほぼ等しい高さに形成されるので、メモリセル領域上でコンタクトホールが特に深くなることはなくてコンタクトホール部における配線層のカバレッジ性不足による断線は回避され、且つ配線のパターニング精度も向上する。また、メモリセル領域及び周辺回路領域を含む全領域に渡って平坦化されるので、急峻な凹凸段差に起因する配線の断線、短絡も防止される。

#### 〔発明の効果〕

以上説明のように、DRAM等のメモリセルとLDD構造のMOSFETからなる周辺回路素子が同一半導体基板上に併設される半導体装置を製造する際に、メモリセルの性能を劣化せしめずに表面の平坦化を図って、配線のパターニング精度の向上、断線、短絡の防止等を図ることができる。従って本発明はDRAM等の半導体メモリの製造に極めて有効である。

#### 4. 図面の簡単な説明

第1図(a)~(d)は本発明の方法の第1の実施例の工程断面図、

第2図(a)~(b)は本発明の方法の第2の実施例の工程断面図、

第3図(a)~(c)は従来の第1の方法の工程断面図、

第4図(a)~(e)は従来の第2の方法の工程断面図である。

11はコンタクトホール、

12A、12B、12CはA1配線、

Aは周辺回路領域、

Bはメモリセル領域、

STは段差部

を示す。

代理人 弁理士 井桁貞一



図において、

1はp型Si基板、

2はフィールド酸化膜、

3はゲート酸化膜、

4A、4Bはゲート電極、

5A、5B、5C、5Dはn<sup>+</sup>型領域、

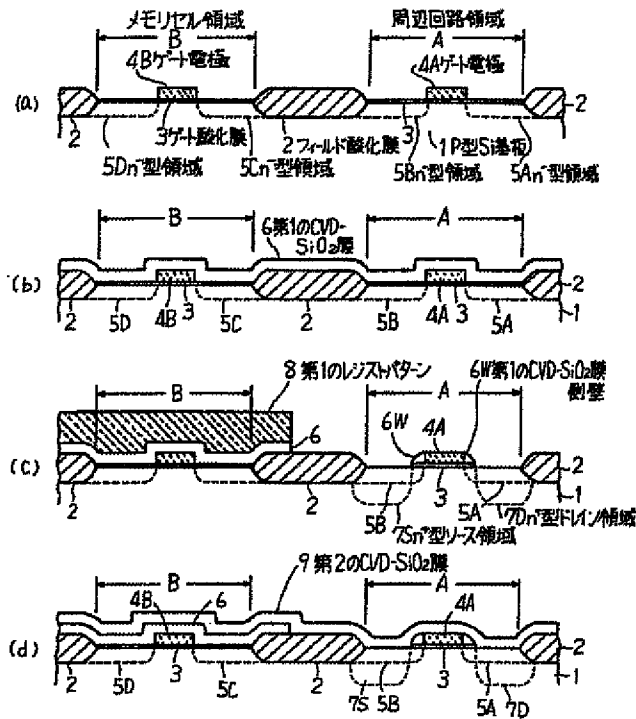
6、9、13は第1、第2、第3のCVD-SiO<sub>2</sub>膜、

6W、9W、13WはCVD-SiO<sub>2</sub>膜側壁、

7Sはn<sup>+</sup>型ソース領域、

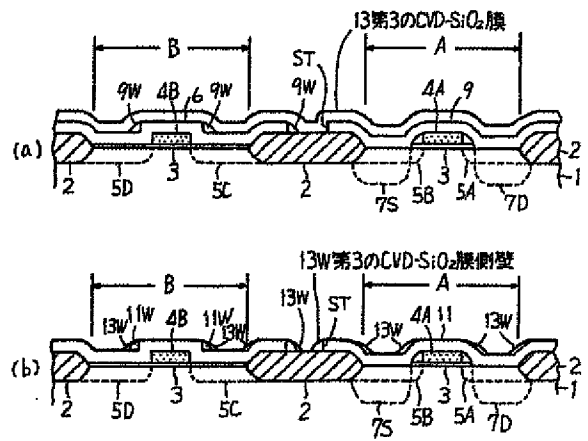
7Dはn<sup>+</sup>型ドレイン領域、

8、10はレジストパターン、



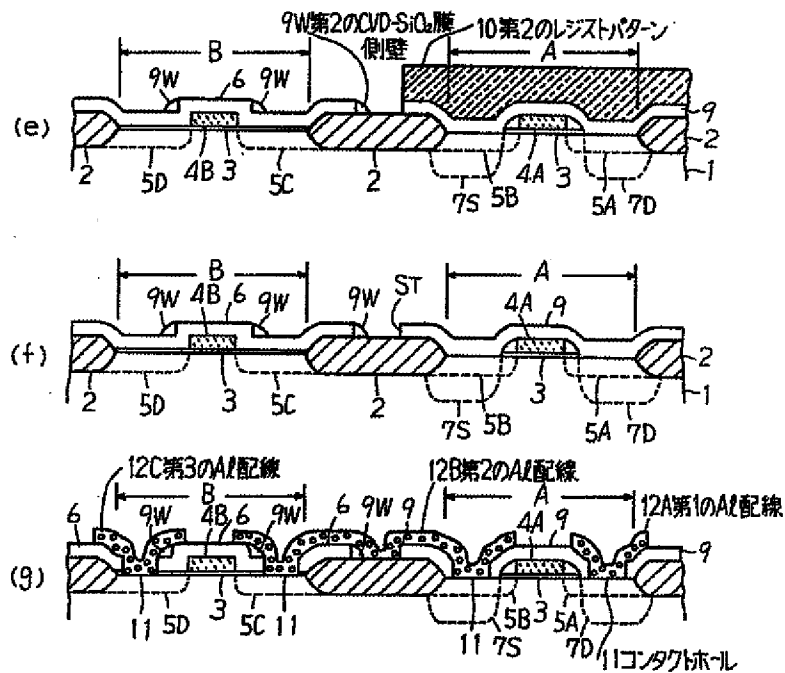
本発明の方法の第1の実施例の工程断面図

第1図(その1)



本発明の方法の第2の実施例の工程断面図

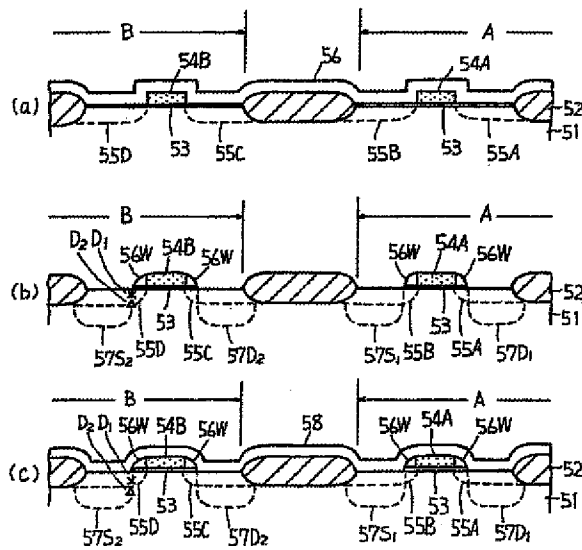
第2図



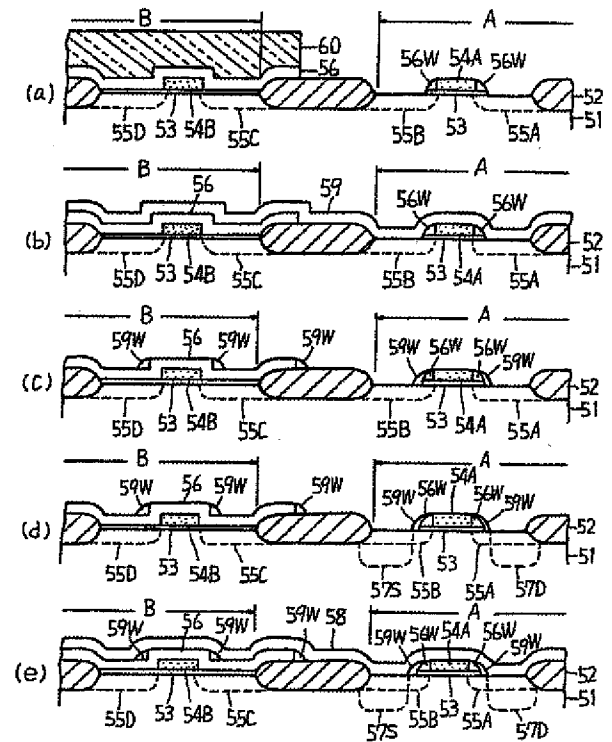
本発明の方法の第1の実施例の工程断面図

第1図(その2)





従来の第1の方法の工程断面図  
第 3 図



従来の第2の方法の工程断面図  
第 4 図